

(1) Korean Patent Application Laid-Open No. 1997-0051968 "Manufacturing Method of Semiconductor Element"

The following is English translation of an extract from the above-identified document relevant to the present application.

This invention is related to a manufacturing method of semiconductor element. According to the present invention, a well and an element isolation film are formed on a semiconductor substrate, and a gate oxide film and a gate are formed on the upper portion of an exposed semiconductor substrate. On the whole surface of the above structure, an oxide film and a nitride film are formed in sequence, and by dry-etching the oxide film and the nitride film, a spacer, which is formed by an oxide film pattern and a nitride film pattern, is formed on the sidewall of the gate. A first resist pattern to expose N MOSFET region is formed on the whole surface of the above structure. N⁺ junction is formed on the semiconductor substrate with the gate and the spacer as a mask. The first resist pattern is removed with solution including hydrogen fluoride. A second resist film pattern to expose P MOSFET region is formed on the whole surface of the above structure. P⁺ junction is formed on the semiconductor substrate with the gate and the spacer as a mask. The second resist film pattern is removed with solution including hydrogen fluoride. By forming self-align silicide, the reliability of the element is improved.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21 / 18 (11) 공개번호 특 1997-0051968
(43) 공개일자 1997년 07월 29일

(21) 출원번호 특 1995-0066045

(22) 출원일자 1995년 12월 29일

(71) 출원인 현대전자산업 주식회사 김주용

(72) 발명자 경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860)
한진수

(74) 대리인 경기도 이천군 부발읍 아미리 현대전자사원아파트 106-304
이정훈, 이권희

(54) 반도체 소자의 제조 방법

본 발명은 반도체소자의 제조 방법에 관한 것으로, 본 발명은 반도체 기판에 웰, 소자분리막을 형성하고, 노출된 반도체 기판의 상부에 게이트산화막과 게이트를 형성하고, 상기 구조의 전 표면에 산화막과, 질화막을 차례로 형성하고, 상기 산화막과, 질화막을 건식식각하여 상기 게이트의 측벽에 산화막패턴과, 질화막패턴으로 형성된 스페이서를 형성하고, 상기 구조의 전 표면에 N MOSFET 영역을 노출하는 제1감광막패턴을 형성하고, 상기 게이트와, 스페이서를 마스크로 반도체기판에 N⁺접합을 형성하고, 상기 제1감광막패턴을 불화수소가 포함된 용액으로 제거하고, 상기 구조의 전 표면에 P MOSFET 영역을 노출하는 제2감광막패턴을 형성하고, 상기 게이트와, 스페이서를 마스크로 반도체기판에 P⁺ 접합을 형성하고, 상기 제2감광막패턴을 불화수소가 포함된 용액으로 제거하고, 셀프 얼라인 실리사이드를 형성하므로써, 소자의 신뢰성을 향상한다.

[발명의 명칭]

반도체소자의 제조방법

[도면의 간단한 설명]

제2A도 내지 제2E도는 본 발명의 일 실시예에 따른 반도체소자의 제조 공정도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

청구항 1. 반도체기판에 웰, 소자분리막을 형성하는 단계와, 노출된 반도체기판의 상부에 게이트산화막과 게이트를 형성하는 단계와, 상기 구조의 전 표면에 산화막과, 질화막을 차례로 형성하는 단계와, 상기 산화막과, 질화막을 건식식각하여 상기 게이트의 측벽에 산화막 패턴과, 질화막패턴으로 형성된 스페이서를 형성하는 단계와, 상기 구조의 전 표면에 제1도전형 모스전계효과 트랜지스터 영역을 노출하는 제1감광막패턴을 형성하는 단계와, 상기 게이트와, 스페이서를 마스크로 반도체기판에 제1도전형 접합을 형성하는 단계와, 상기 제1감광막패턴을 제거하는 단계와, 상기 구조의 전 표면에 제2도전형 모스전계효과 트랜지스터 영역을 노출하는 제2감광막 패턴을 형성하는 단계와, 상기 게이트와, 스페이서를 마스크로 반도체기판에 제2도전형 접합을 형성하는 단계와, 상기 제2감광막패턴으로 제거하는 단계와, 상기 구조의 전 표면에 금속을 형성하는 단계와, 상기 금속을 열처리하여 상기 제1 및 제2도전형 접합의 상부와 게이트의 상부에 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 2. 제1항에 있어서, 상기 제1 및 제2감광패턴을 제거할 때, 불화수소가 포함된 용액을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3. 제1항에 있어서, 상기 제1도전형은 P형인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4. 제1항에 있어서, 상기 제1도전형은 N형인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5. 제1항에 있어서, 상기 실리사이드를 형성할 때, 금속으로 Ti, W, Cr, Pb, Mo, Ni, Ta, Zr 중 하나로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 6. 반도체기판에 웰과, 소자분리막을 형성하는 단계와, 노출된 반도체기판의 상부에 게이트산화막을 형성하는 단계와, 상기 게이트산화막의 상부에 폴리실리콘층과, 절연막을 증착하는 단계와 절연막패턴, 게이트 및 게이트산화막패턴을 형성하는 단계와, 상기 구조의 전 표면에 산화막과, 질화막을 차례로 형성하는 단계와, 상기 구조의 전 표면에 산화막을 형성하는 단계와, 상기 게이트와, 절연막패턴의 측벽에 산화막스페이서를 형성하는 동시에 상기 절연막패턴을 제거하는 단계와, 상기 구조의 전 상부에 제1도전형 모스전계효과 트랜지스터 영역을 노출하는 제1감광막패턴을 형성하는 단계와, 반도체기판에 제1도전형 접합을 형성하는 단계와, 상기 제1감광막패턴 제거하는 단계와, 상기 구조의 전 상부에 제2도전형 모스전계효과 트랜지스터 영역을 노출하는 제2감광막패턴을 형성하는 단계와, 반도체기판에 제1도전형 접합을 형성하는 단계와, 상기 제1감광막패턴 제거하는 단계와, 상기 구조의 전 상부에 제2도전형 모스전계효과 트랜지스터 영역을 노출하는 제2감광막패턴을 형성하는 단계와, 반도체기판에 제2도전형 접합을 형성하는 단계와, 상기 제2감광막패턴을 제거하는 단계와, 상기 구조의 전 표면에 금속을 형성하는 단계와, 상기 금속을 열처리하여 상기 제1 및 제2도전형 접합의 상부와 게이트의 상부에 실리사이드를 형성하는 단계를 포함하는 반도체소자의 제조방법.

청구항 7. 제1항에 있어서, 상기 제1 및 제2감광막패턴을 제거할 때, 불화수소가 포함된 용액을 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 8. 제1항에 있어서, 상기 제1도전형은 P형인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9. 제1항에 있어서, 상기 제1도전형은 N형인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10. 제1항에 있어서, 상기 실리사이드를 형성할 때, 금속으로 Ti, W, Cr, Pb, Mo, Ni, Ta, Zr 중 하나로 형성

하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 11. 제1항에 있어서, 상기 절연막은 BPSG막을 사용하고, 상기 산화막은 TEOS막을 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 12. 제11항에 있어서, 상기 TEOS막과, BPSG막 사이의 식각선택비는 3:20이상으로 할 수 있는 것을 특징으로 하는 반도체소자의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

